

JP01/623 日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

PCT/JP01/00623

3101.01
REC'D 26 MAR 2001
WIPO PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。
This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application:

2000年 1月31日

出願番号
Application Number:

特願2000-021458

出願人
Applicant(s):

日本板硝子株式会社

PRIORITY
DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2001年 3月 2日

特許庁長官
Commissioner,
Patent Office

及川耕造

出証番号 出証特2001-3015005

【書類名】 特許願

【整理番号】 P00005

【提出日】 平成12年 1月31日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 33/00

【発明者】

 【住所又は居所】 大阪府大阪市中央区道修町3丁目5番11号 日本板硝子株式会社内

 【氏名】 大野 誠治

【発明者】

 【住所又は居所】 大阪府大阪市中央区道修町3丁目5番11号 日本板硝子株式会社内

 【氏名】 楠田 幸久

【特許出願人】

 【識別番号】 000004008

 【氏名又は名称】 日本板硝子株式会社

【代理人】

 【識別番号】 100086645

 【弁理士】

 【氏名又は名称】 岩佐 義幸

 【電話番号】 03-3861-9711

【手数料の表示】

 【予納台帳番号】 000435

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9113607

【プルーフの要否】

要

【書類名】 明細書

【発明の名称】 発光サイリスタアレイおよびその駆動回路

【特許請求の範囲】

【請求項 1】

N 個（N は 2 以上の整数）の 3 端子発光サイリスタが一行に配列された発光サイリスタアレイにおいて、

ボンディングパッドがチップの長辺と平行に一行に並んでいることを特徴とする発光サイリスタアレイ。

【請求項 2】

前記 N 個の 3 端子発光サイリスタのカソードまたはアノードを共通電極とし、M 本（M は 2 以上の整数）のゲート配線を有し、

k 番目の発光サイリスタのゲートを $i = \{ (k - 1) \text{ MOD } M \} + 1$ 番目のゲート配線に接続し、

共通電極ではないアノードまたはカソードを、 $j = \{ (k - i) / M \} + 1$ 番目のアノード端子 A_j またはカソード端子 K_j に接続したことを特徴とする請求項 1 記載の発光サイリスタアレイ。

【請求項 3】

前記ゲート配線数 M が、

$L / \{ (N / M) + M \} > 75 \mu\text{m}$ （L：チップ長辺長）

を満足することを特徴とする請求項 2 記載の発光サイリスタアレイ。

【請求項 4】

N の素因数が 2 だけからなるとき、前記ゲート配線数 M は、最も小さい整数または 2 番目、または 3 番目に小さい整数であることを特徴とする請求項 3 記載の発光サイリスタアレイ。

【請求項 5】

N の素因数が 2 と 3 だけからなるとき、前記ゲート配線数 M は、最も小さい整数、または 2 番目、または 3 番目、または 4 番目、または 5 番目に小さい整数であることを特徴とする請求項 3 記載の発光サイリスタアレイ。

【請求項 6】

前記N個の3端子発光サイリスタのカソードまたはアノードを共通電極とし、
 M本（Mは2以上の整数）のアノード配線またはカソード配線を有し、
 k番目の発光サイリスタのアノードまたはカソードを $i = \{(k-1) \text{ MOD } M\} + 1$ 番目のアノード配線 A_i またはカソード配線 K_i に接続し、
 ゲートを $j = \{(k-i) / M\} + 1$ 番目のゲート端子 G_j に接続したことを
 特徴とする請求項1記載の発光サイリスタアレイ。

【請求項7】

前記アノード配線またはカソード配線数Mが、
 $L / ((N/M) + M) > 75 \mu\text{m}$ （L：チップ長辺長）
 を満足することを特徴とする請求項6記載の発光サイリスタアレイ。

【請求項8】

Nの素因数が2だけからなるとき、前記アノード配線またはカソード配線数Mは、最も小さい整数または2番目、または3番目に小さい整数であることを特徴とする請求項7記載の発光サイリスタアレイ。

【請求項9】

Nの素因数が2と3だけからなるとき、前記アノード配線またはカソード配線数Mは、最も小さい整数、または2番目、または3番目、または4番目、または5番目に小さい整数であることを特徴とする請求項7記載の発光サイリスタアレイ。

【請求項10】

3端子発光サイリスタが一行に配列された発光サイリスタアレイの駆動回路において、
 偶数本のゲート選択信号端子をもつことを特徴とする発光サイリスタアレイの駆動回路。

【請求項11】

偶数本のゲート選択信号端子を有し、前記ゲート選択信号端子のうち1個の端子に「選択」信号を、他の端子に「非選択」信号を出力し、前記「選択」信号を出力する端子を順次切り替えていく回路を持つことを特徴とする請求項10記載の発光サイリスタアレイの駆動回路。

【請求項 1 2】

順次切り替える回路状態を外部信号により、初期化できることを特徴とする請求項 1 1 記載の駆動回路。

【請求項 1 3】

偶数本のゲート選択信号端子を有し、前記ゲート選択信号端子のうち 1 個または複数の端子に「選択」信号を、他の端子に「非選択」信号を出力し、前記「選択」信号を出力する端子を順次切り替えていく回路を持つことを特徴とする請求項 1 0 記載の発光サイリスタアレイの駆動回路。

【請求項 1 4】

順次切り替える回路にシリアル入力パラレル出力のシフトレジスタを用いることを特徴とする請求項 1 3 記載の発光サイリスタアレイの駆動回路。

【請求項 1 5】

前記ゲート選択信号端子が 4, 6, 8, 12, 16 本のいずれかであることを特徴とする請求項 1 0 ～ 1 4 のいずれかに記載の発光サイリスタアレイの駆動回路。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、発光サイリスタアレイ、特に、チップ面積を小さくできる発光サイリスタアレイおよびその駆動回路に関する。

【0002】**【従来の技術】**

光プリンタの書込みヘッドに用いられる発光素子アレイは、基本的に発光素子の数と同じだけの配線を発光素子から取り出す必要がある。この配線の取り出しには、通常、ワイヤボンディングが使われる。このため、発光点の密度が大きくなるにつれて、次のような問題を生じさせる。

(1) 発光素子チップ上のワイヤボンディングパッド面積の増大、すなわちチップ面積の増大によりコストが増大する。

(2) ワイヤボンディング本数が増えるため、実装コストが増大する。

(3) ワイヤボンディングのピッチが狭くなるため、実装が困難になる。

(4) 通常、駆動回路も発光点数だけ必要なため、コストが増大する。

【0003】

特に、通常、ボンディングパッド1個の面積は発光点1個の面積に比べて数倍以上あるので、発光点密度の増加はそのままチップ面積の増加につながる。

【0004】

これらの問題点を回避するために、シフトレジスタを内蔵した発光素子、発光ダイオード(LED)マトリクスアレイ、発光サイリスタ・マトリクスアレイなどが提案されている。

【0005】

図1に、発光サイリスタアレイの一例を示す。発光サイリスタは、4個ずつのグループに分けられ、各グループのゲートは共通の4本のゲート配線 $G_1 \sim G_4$ にそれぞれ接続され、各グループのアノードは共通の4個のアノード端子 $A_1 \sim A_4$ にそれぞれ接続されている。全発光サイリスタのカソードは、1本のカソードラインに共通に接続されている。

【0006】

このアレイによれば、ゲート配線 $G_1 \sim G_4$ 、アノード端子 $A_1 \sim A_4$ の組み合わせによって、発光サイリスタ $T_1 \sim T_{16}$ の点灯状態が決まる。カソード共通型であるので、カソード端子KをLレベルとし、ゲート配線のうちの1本のゲート配線 G_i をLに、他のゲート配線をHにした状態で、アノード端子 A_j をHとすると、発光サイリスタ $T_{i+4(j-1)}$ が点灯する。

【0007】

N個の発光素子を制御するために、従来はN本の制御端子を取り出す必要があったが、M本のゲート配線をもつ発光サイリスタアレイでは、 $(N/M + M)$ 個の制御端子数となる。同時に発光できる発光点数は、アノード端子の数に等しい。また、発光デューティは、 $1/\text{ゲート配線数}$ である。

【0008】

この構成で、 $N = 128$ とすると、ゲート配線数は4であるからアノード端子数は32となる。

【 0 0 0 9 】

この発光サイリスタアレイを用いることで、発光素子チップ上のワイヤボンディングパッドの数を減らすこともできる。もっともボンディングパッドの数を減らす構成は、発光点数 N の場合、 $N^{1/2}$ に近い整数であり、かつ N/M が整数となるようなゲート配線の数 M を選ぶ場合である。たとえば、 $N = 128$ のとき、 $M = 8$ および $M = 16$ を選んだときボンディングパッドの数は 24 個で最小となる。したがって、チップ面積を小さくすることが可能となり、チップのコストを減らすことができる。

【 0 0 1 0 】

なお、発光サイリスタを用いたこの回路は、本出願人の提案に係るものであり、既に特許されている（特許第 2 8 0 7 9 1 0 号）。

【 0 0 1 1 】

【発明が解決しようとする課題】

前述のように、ボンディングパッドの数を最小にすることができたが、この場合にチップ面積が最小となるとは限らない。一般的に発光素子アレイチップは、ウエハから平行四辺形（通常、長方形）に切り出される。この四角形の長辺と平行に発光点が一行または複数行に配置され、かつボンディングパッドも長辺と平行に一行または複数行に配置される。チップの長辺の長さは発光素子のピッチと数との積で決まり、短辺の長さは主に、発光素子と配線とボンディングパッドとの幅の和で決まる。必要なボンディングパッドの面積は、ワイヤボンダーの性能などで決まっているため、ボンディングパッドの列数が変わらない限り、ボンディングパッドの数を減らしてもチップ面積は減らない。

【 0 0 1 2 】

本発明の第 1 の目的は、ボンディングパッドをチップの長辺と平行に一行に配列させることにより、3 端子発光サイリスタアレイのチップの短辺長を小さくし、チップ面積の小さな発光サイリスタチップを提供することにある。

【 0 0 1 3 】

長辺に平行に一行に配列されたボンディングパッドを有する発光サイリスタアレイチップには、駆動 IC が隣接して配置され、発光サイリスタアレイチップと

駆動 IC のそれぞれの端子間が直接ワイヤボンディングで接続される。

【0014】

このような発光素子アレイチップと駆動 IC が直接ワイヤボンディングによって接続される構造では、発光素子チップ側のボンディングパッドのピッチと、駆動 IC 側のボンディングパッドのピッチとを、ほぼ同じにしなければならない。このため、発光素子側の解像度が変わるたびに、別の駆動 IC を準備する必要がある。このため、多くの品種の駆動 IC が必要となり、コスト上昇を招くことになる。

【0015】

したがって、本発明の第 2 の目的は、長辺に平行に一系列に配列されたボンディングパッドを有する発光サイリスタアレイであって、解像度の異なる 3 端子発光サイリスタアレイ、たとえば、 $600\text{ dpi}/128$ 発光点、 $900\text{ dpi}/192$ 発光点、 $1200\text{ dpi}/256$ 発光点の 3 種類の発光サイリスタアレイを共通に駆動できる駆動回路を提供することにある。

【0016】

【課題を解決するための手段】

本発明の第 1 の目的を達成するためには、以下の手段をとる。すなわち、チップ面積を最小とするには、ボンディングパッドをチップ長辺と平行に一系列に配置する必要がある。ゲート配線数 M を増やすことによって、ボンディングパッドの数を減らし一系列に配置できるようになる。しかし、ゲート配線は、チップ長辺と平行にチップの端から端まで置かれるので、ゲート配線が増えると、チップの短辺長が増えてしまう。そこで、ボンディングパッドが一系列に配置でき、かつゲート配線の数ができるだけ少ないように、ゲート配線数を決める。

【0017】

すなわち、 N 個 (N は 2 以上の整数) の 3 端子発光サイリスタが一系列に配列された発光サイリスタアレイにおいて、 N 個の 3 端子発光サイリスタのカソードまたはアノードを共通電極とし、 M 本 (M は 2 以上の整数) のゲート配線を有し、 k 番目の発光サイリスタのゲートを $i = \{(k-1) \bmod M\} + 1$ 番目のゲート配線に接続し (ここで、関数 $a \bmod b$ は、 a の b に関する剰余系を示

す)、共通電極ではないアノードまたはカソードを、 $j = \{(k-i)/M\} + 1$ 番目のアノード端子 A_j またはカソード端子 K_j に接続する。

【0018】

この場合に、 L をチップ長辺長、 p をボンディングパッドピッチ限界値であるとしたとき、

$$L / ((N/M) + M) > p$$

を満たすように M の値を選ぶ。このとき、 p の値は、高精度の機械を使えば小さくできるが、あまり小さい値だと作業時間が大きくなるため、実用的には $75\mu\text{m}$ 程度と考えられる。

【0019】

本発明は、ゲートを選択線として用いているが、アノードまたはカソードを選択線として用いる構成であっても、全く同様の効果が得られる。この場合には、 N 個の3端子発光サイリスタのカソードまたはアノードを共通電極とし、 M 本 (M は2以上の整数) のアノード配線またはカソード配線を有し、 k 番目の発光サイリスタのアノードまたはカソードを $i = \{(k-1) \text{ MOD } M\} + 1$ 番目のアノード配線 A_i またはカソード配線 K_i に接続し、ゲートを $j = \{(k-i)/M\} + 1$ 番目のゲート端子 G_j に接続した構成となる。

【0020】

本発明の第2の目的を達成するためには、次の手段をとる。3端子発光サイリスタアレイの場合、前述したように、ゲート配線の数を選ぶことによって、発光素子上のボンディングパッドの数を減らし、一列に配置可能なピッチにすることができる。このため、ある解像度でゲート配線の数を決めたとき、アノード側ボンディングパッドの数が決まり、もし、解像度を2倍にしたいときは、ゲート配線の数のみ倍にした発光サイリスタアレイチップを準備すればよい。したがって、大電流を扱わなければならないアノード系の駆動回路の数は変化せず、電圧信号を与えればよいだけのゲート配線の駆動回路を余計にもっておくことで、異なる解像度の発光サイリスタアレイを共通の駆動回路で駆動することができる。このことにより、駆動回路の品種が減りコストダウンになる。また、発光サイリスタアレイチップを変えるだけで解像度を上げることが可能となるため、用途によ

って最適な解像度を選ぶことができる。

【0021】

【発明の実施の形態】

以下、本発明の実施例を、図面を参照して説明する。

【0022】

【実施例1】

図2に、発光サイリスタアレイの一実施例を示す。図3は、このアレイに用いられる発光サイリスタの構造を示す。

【0023】

まず、発光サイリスタの構造を、図3を参照して説明する。(a)は平面図、(b)は断面図である。発光サイリスタ20は、n型基板21上に、n型半導体層22、p型半導体層23、n型半導体層24、p型半導体層25が順次積層され、p型半導体層25上にはアノード電極26、n型半導体層24上にはゲート電極27が形成されている。図示しないが、n型基板21の裏面にはカソード電極が設けられている。

【0024】

このような発光サイリスタ20が一行に配列された図2の発光サイリスタアレイは、600dpi、128発光点をもち、ボンディングパッド10のピッチは、ワイヤボンダーの精度から75 μ m以上のピッチが必要である。ボンディングパッド10は1行あたり150 μ mの幅(図2では、縦方向の長さ)、ゲート配線30は1本あたり15 μ mずつチップの短辺方向の長さを増加させる。チップ短辺方向の長さは、発光部や切断のマージンなどを全部併せて70 μ mとなった。このような構成で、ゲート配線の数Mを変化させた場合のチップの短辺長を計算した。結果を図4に示す。Mは128が割り切れる整数であるから、L=1, 2, 4, 8, 16, 32, 64, 128の中から選ばれる。ゲート配線数M=2でチップ短辺長が最小となる。しかしM=2では、ボンディングピッチが約80 μ mと、p値ぎりぎりであり、精度の高いボンディングが必要となる可能性がある。M=4, 8を選べばボンディングピッチが緩くなり、アノード配線数がへるため駆動ICの構成が簡単になるメリットがある。

【0025】

【実施例2】

600dpi, 192発光点をもつ発光サイリスタアレイについて考える。実施例1と同様の検討結果を図5に示す。 $192 = 2^6 \times 3$ と、3の素因数を持つため割り切れるゲート配線数Mの数が増えてM=1, 2, 3, 4, 6, 8, 12, 16, 24, 32, 48, 64, 96, 192の中から選ばれる。最小値はM=2であるが、実施例1と同様の理由で、Mの値が大きくなると駆動回路が簡単となるというメリットがあるため、選考の対象を実施例1と同じ $M \leq 8$ まで広げる。すなわち、ゲート配線数Mは、3, 4, 6, 8の中から選べばよいことがわかる。

【0026】

【実施例3】

1200dpi, 256発光点をもつ発光サイリスタアレイについて考える。実施例1と同様の検討結果を図6に示す。最小値はL=4であるので、M=4, 8, 16のいずれかから選べばよいことがわかる。

【0027】

【実施例4】

2400dpi, 512発光点をもつ発光サイリスタアレイについて考える。実施例1と同様の検討結果を図7に示す。最小値はL=8であるので、L=8, 16, 32のいずれかから選べばよいことがわかる。

【0028】

【実施例5】

600dpi/128発光点/4ゲート配線、900dpi/192発光点/6ゲート配線、1200dpi/256発光点/8ゲート配線の3種類の発光サイリスタアレイチップに共通の駆動回路を構成した。4ゲート配線の発光サイリスタアレイについては、図1に示した構造である。

【0029】

これら発光サイリスタチップに共通の駆動ICのブロック図を、図8に示す。

【0030】

32×n 発光点 (n = 1, 2, 3, 4, 5, 6, 7, 8) 駆動用の駆動回路を考える。駆動回路は、ゲート配線駆動回路 40 とアノード駆動回路 50 からなる。ゲート配線駆動回路 40 は、8 ビットのシリアル入力シフトレジスタ 100 からなっている。131 ~ 138 はゲート選択出力端子であり、発光サイリスタアレイのゲート配線 $G_1 \sim G_n$ に接続される。

【0031】

リセット端子 102 によって、シフトレジスタ 100 の内容をリセット (全ビット H) とした後、入力端子 101 を L とし、クロック 103 を与えて、この L の状態を順次シフトさせ、順次出力端子 131 ~ 138 を L レベルとする。図 1 において発光サイリスタアレイの i 番目のゲート配線 G_i が L となっているとき、ゲート配線 G_i に接続されているサイリスタが点灯可能となる。さて、発光点数が 32×n 個の発光点をもつサイリスタアレイではゲート配線は n 本なので、ゲート配線 G_n を L にした後、次は再びゲート配線 G_1 を L としたい。このため、ゲート配線 G_n を L にした次のタイミングで再び入力端子 101 を L とし、クロック 103 を与えてゲート配線 G_1 を L とする。このとき G_{n+1} も同時に L となるが、(n+1) 番目の出力端子にはなにも接続されていないので問題ない。もちろん、一度にリセットをかけて最初からやり直してもかまわない。

【0032】

アノード駆動回路 50 は、32 個の発光点を同時に駆動できる。出力は電流駆動回路 400 の電流源 420 で、電流値データ入力端子 422 への電流値データ (6 ビット) 入力に応じて電流値を調整でき、電流出力許可端子 421 の状態に応じて電流が出力端子 501 ~ 532 から出力される。

【0033】

電流値データは、リセット端子 202 およびクロック端子 203 を有するシフトレジスタ 200 によって、データ入力端子 201 に入力されたシリアル信号から 6 ビットデータ 32 組に切り分けられ、ラッチ端子 231 を有するラッチ 230 によって保持され、電流値データ入力端子 422 に入力される。シフトレジスタ 200 にはデータ出力端子 210 があり、この出力をカスケードに隣の駆動 IC のデータ入力端子 201 に接続することができる。このことにより、光書き込

みヘッド内の電流データ線の数減らすことができる。

【0034】

画像データは、ラッチ端子331を有するシフトレジスタ300によって、データ入力端子301に入力されたシリアル信号から1ビットデータ32組に切り分けられ、ラッチ330によって保持され、ANDゲート410の入力端子に入力される。ANDゲート410のもう一方の入力は発光許可端子430に接続され、この2つのデータ論理積により、電流の出力の有無が決まる。リセット端子302およびクロック端子303を有するシフトレジスタ300にはデータ出力端子310があり、この出力をカスケードに隣の駆動ICのデータ入力端子301に接続することができる。このことにより、光書き込みヘッド内の画像データ線の数減らすことができる。

【0035】

この駆動回路を集積化して、発光サイリスタアレイのボンディングパッドとほぼ1対1で対応する駆動ICを作製した。

【0036】

600dpi/128発光点/4ゲート配線の発光サイリスタアレイ700と駆動IC600のボンディングワイヤによる接続例を図9に示す。IC側のゲート選択端子135～138が無接続となっている。

【0037】

【実施例6】

600dpi/128発光点/4ゲート配線、900dpi/192発光点/6ゲート配線、1200dpi/256発光点/8ゲート配線の3種類の発光サイリスタアレイチップに共通の駆動回路の他の例を構成した。回路のブロック図を図10に示す。

【0038】

$32 \times n$ 発光点 ($n=1, 2, 3, 4, 5, 6, 7, 8$) 駆動用の駆動回路を考える。駆動回路は、アノード駆動回路60からなり、ゲート駆動回路はICの外から直接与える。図1の発光サイリスタアレイの*i*番目のゲート配線 G_i がLとなっているとき、ゲート配線 G_i に接続されているサイリスタが点灯可能とな

る。さて、発光点数が $32 \times n$ 個の発光点をもつサイリスタアレイではゲート選択線は n 本なので、ゲート配線 G_n を L にした後、次は再びゲート配線 G_1 を L とする。

【0039】

アノード駆動回路 60 は、32 個の発光点を同時に駆動できる。出力は電流駆動回路 400 の電流源 420 で、電流値データ（6 ビット）入力に応じて電流値を調整でき、電流出力許可端子 421 の状態に応じて電流が出力される。

【0040】

電流値データはシフトレジスタ 200 によって、データ入力端子 201 に入力されたシリアル信号から 6 ビットデータ 32 組に切り分けられ、ラッチ 230 によって保持され、電流値データ入力端子 421 に入力される。シフトレジスタ 200 にはデータ出力端子 210 があり、この出力をカスケードに隣の駆動 IC のデータ入力端子 201 に接続することができる。このことにより、光書き込みヘッド内の電流データ線の数減らすことができる。

【0041】

なお図 10 において、610 は駆動用 IC 駆動信号入力端子および電源端子を示し、図 8 と同一の参照番号は、図 8 と同一の構成要素を示している。

【0042】

この駆動回路を集積化して、発光サイリスタアレイのボンディングパッドとほぼ 1 対 1 で対応する駆動 IC を作製した。

【0043】

600 dpi / 128 発光点 / 4 ゲート配線の発光サイリスタアレイ 730 と駆動 IC 601 のボンディングワイヤによる接続例を図 11 に示す。図において、731 は発光サイリスタアレイのアノード端子、732 はゲート選択端子、610 は駆動用 IC 駆動信号入力端子および電源端子、630 は出力端子である。また、800 は IC 用制御線 800、810 はゲート選択信号線（4 本）、900 はボンディングワイヤである。

【0044】

図 12 は、図 11 の発光サイリスタアレイ 730 および駆動 IC 601 を示し

ている。

【0045】

【実施例7】

実施例6では、発光素子アレイ730のゲート選択端子732を、直接プリント配線上のゲート選択バスラインのボンディングパッドに接続した。この場合、発光素子からのワイヤボンディングの行き先が駆動IC601上か、プリント配線かによって高さが変わるため、実装が難しい。そこで、図13に示すように、IC602上に、ゲート配線をそのまま通過させるライン740を設けた。なお図13において、図11と同一の構成要素には、同一の参照番号を付して示してある。

【0046】

図14は、図13の発光サイリスタアレイ730および駆動IC602を示している。

【0047】

【実施例8】

900dpi/192発光点/6ゲート選択線の発光サイリスタアレイ710と駆動IC600の接続例を図15に示す。IC側のゲート選択端子137、138が無接続となっている。図9と同じ駆動ICで動作させることができる。

【0048】

【実施例9】

1200dpi/256発光点/8ゲート選択線の発光サイリスタアレイ720と駆動IC600の接続例を図16に示す。IC側のゲート選択端子131～138が全て接続されている。図9と同じ駆動ICで動作させることができる。

【0049】

【実施例10】

図17に、発光サイリスタアレイの図1に対応する他の実施例を示す。図1では、ゲートを選択線として用いているが、アノードを選択線としても、同様の効果を得られる。

【0050】

この発光サイリスタアレイでは、カソード端子KをLレベルとし、ゲート端子のうちの1個のゲート端子 G_i をLに、他をHにした状態で、アノード配線 A_j をHとすると、発光サイリスタ $T_{j+4(i-1)}$ が点灯する。

【0051】

この構成で、 $N=128$ を考えると、アノード端子数は4個、ゲート端子数は32個となる。図1の構成に比べると、アノード端子数が減るので、電流容量の大きなバッファ回路が減り、駆動回路が簡単になる。一方、発光デューティが減るので、露光量が小さくなる。

【0052】

なお、この構成の発光サイリスタアレイは、前述した実施例1～9にも適用できることは明らかである。

【0053】

以上のすべての実施例では、発光サイリスタのカソードをコモンとしたが、アノードをコモンとした構成とすることも可能である。

【0054】

【発明の効果】

本発明によれば、面積の小さな発光サイリスタアレイチップを実現でき、このような発光サイリスタアレイチップを解像度が異なっても共通に駆動できる駆動回路を実現することができる。

【図面の簡単な説明】

【図1】

発光サイリスタアレイの一例を示す図である。

【図2】

本発明の発光サイリスタアレイの一実施例を示す図である。

【図3】

図2の発光サイリスタの構造を示す図である。

【図4】

600dpi、128発光点をもつ発光サイリスタにおいて、ゲート配線の数Mを変化させた場合のチップの短辺長を計算した結果を示す図である。

【図 5】

6 0 0 d p i, 1 9 2 発光点をもつ発光サイリスタにおいて、ゲート配線の数 M を変化させた場合のチップの短辺長を計算した結果を示す図である。

【図 6】

1 2 0 0 d p i, 2 5 6 発光点をもつ発光サイリスタにおいて、ゲート配線の数 M を変化させた場合のチップの短辺長を計算した結果を示す図である。

【図 7】

2 4 0 0 d p i, 5 1 2 発光点をもつ発光サイリスタにおいて、ゲート配線の数 M を変化させた場合のチップの短辺長を計算した結果を示す図である。

【図 8】

駆動 I C の回路の一例を示す図である。

【図 9】

6 0 0 d p i / 1 2 8 発光点 / 4 ゲート配線の発光サイリスタアレイと駆動 I C のボンディングワイヤによる接続例を示す図である。

【図 1 0】

駆動 I C の回路の他の例を示す図である。

【図 1 1】

6 0 0 d p i / 1 2 8 発光点 / 4 ゲート配線の発光サイリスタアレイと駆動 I C のボンディングワイヤによる接続例を示す図である。

【図 1 2】

図 1 1 の発光サイリスタアレイおよび駆動 I C を示す図である。

【図 1 3】

6 0 0 d p i / 1 2 8 発光点 / 4 ゲート配線の発光サイリスタアレイと駆動 I C のボンディングワイヤによる接続例を示す図である。

【図 1 4】

図 1 3 の発光サイリスタアレイおよび駆動 I C を示す図である。

【図 1 5】

9 0 0 d p i / 1 9 2 発光点 / 6 ゲート配線の発光サイリスタアレイと駆動 I C のボンディングワイヤによる接続例を示す図である。

【図 1 6】

1 2 0 0 d p i / 2 5 6 発光点 / 8 ゲート配線の発光サイリスタアレイと駆動 I C のボンディングワイヤによる接続例を示す図である。

【図 1 7】

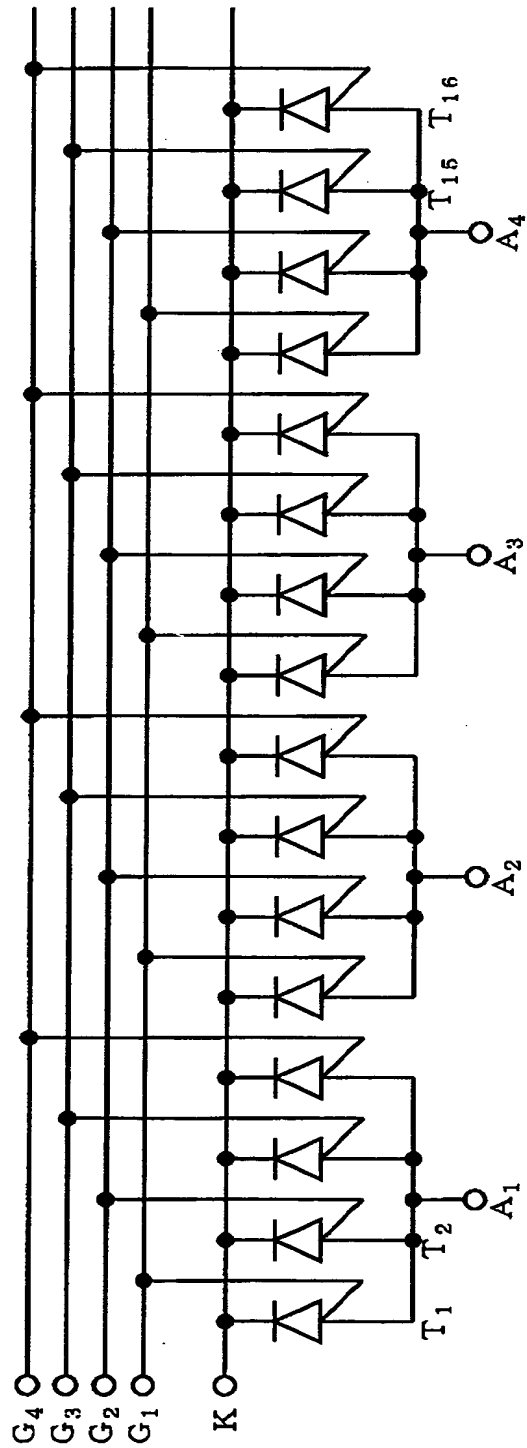
発光サイリスタの図 1 に対応する他の実施例を示す図である。

【符号の説明】

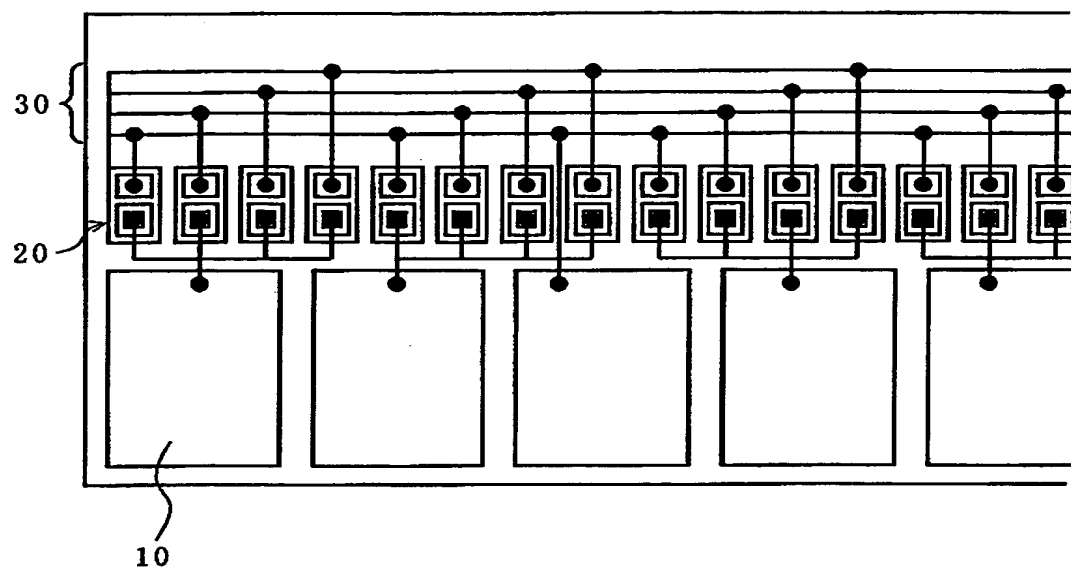
- 1 0 ボンディングパッド
- 2 0 発光サイリスタ
- 2 1 n 型基板
- 2 2 n 型半導体層
- 2 3 p 型半導体層
- 2 4 n 型半導体層
- 2 5 p 型半導体層
- 2 6 アノード電極
- 2 7 ゲート電極
- 3 0 ゲート配線
- 4 0 ゲート配線駆動回路
- 5 0 アノード駆動回路
- 6 0 アノード駆動回路
- 6 0 0, 6 0 1, 6 0 2 駆動 I C
- 7 0 0, 7 3 0 発光サイリスタアレイ

【書類名】 図面

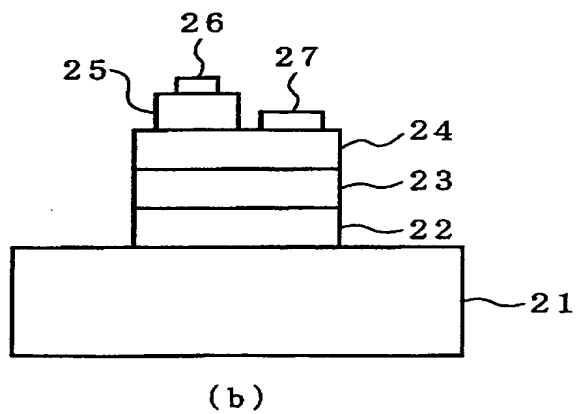
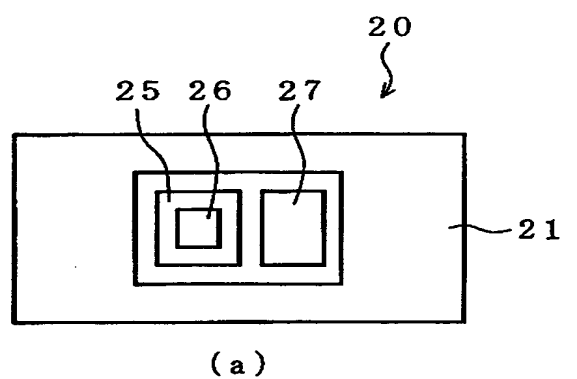
【図 1】



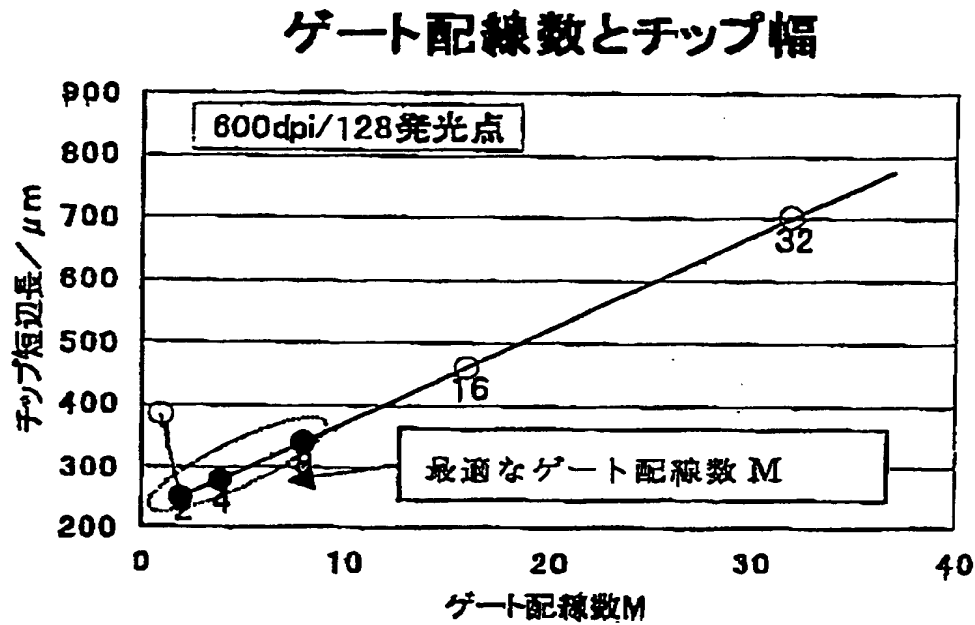
【図 2】



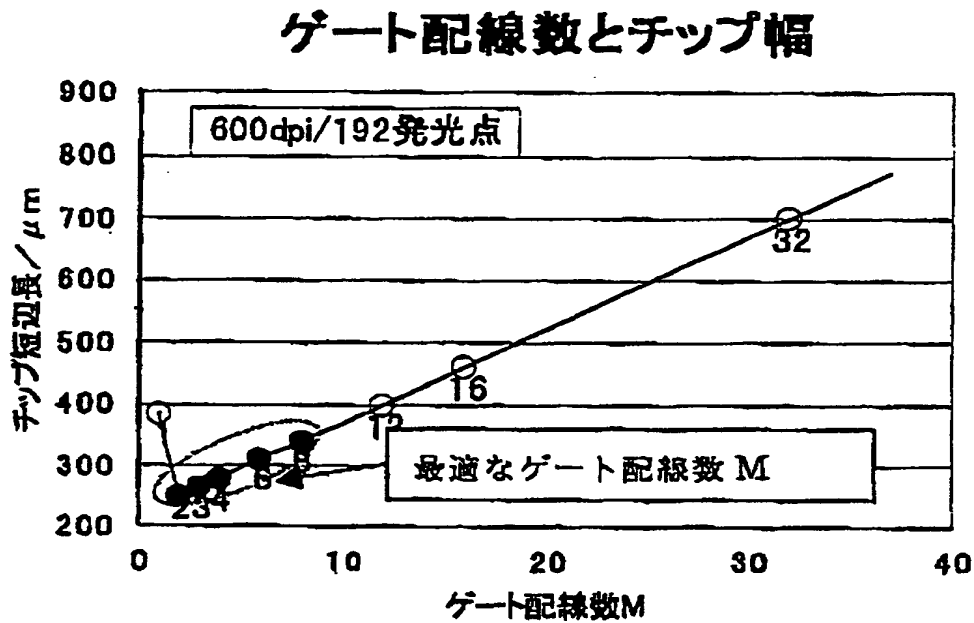
【図 3】



【図4】

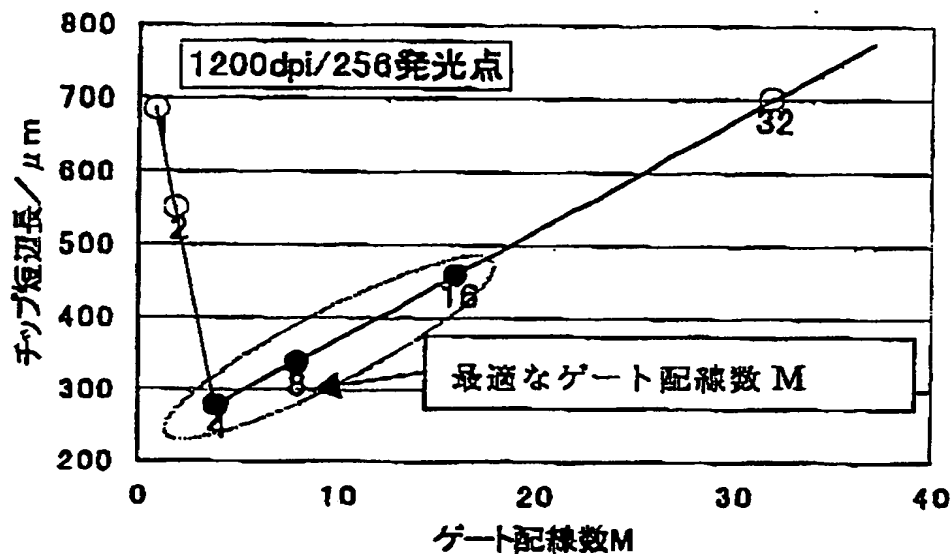


【図5】



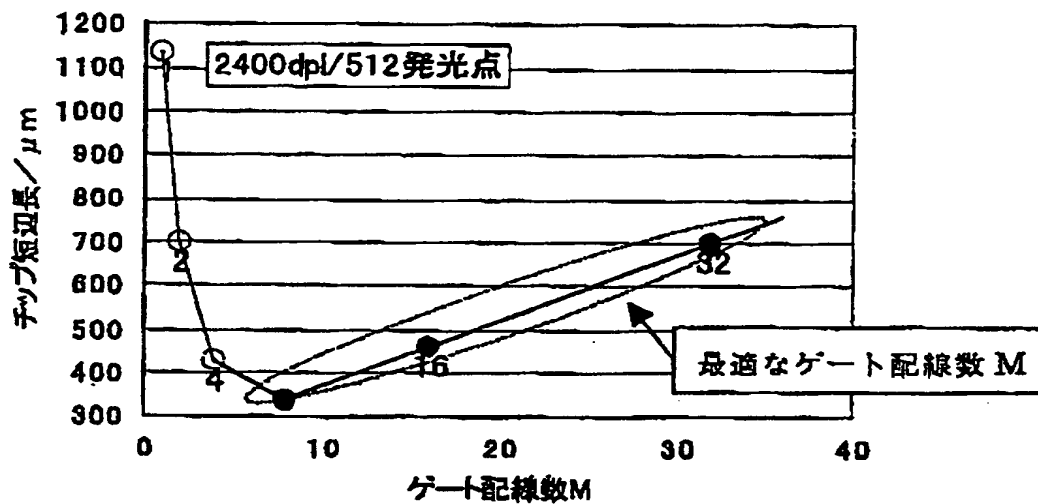
【図 6】

ゲート配線数とチップ幅

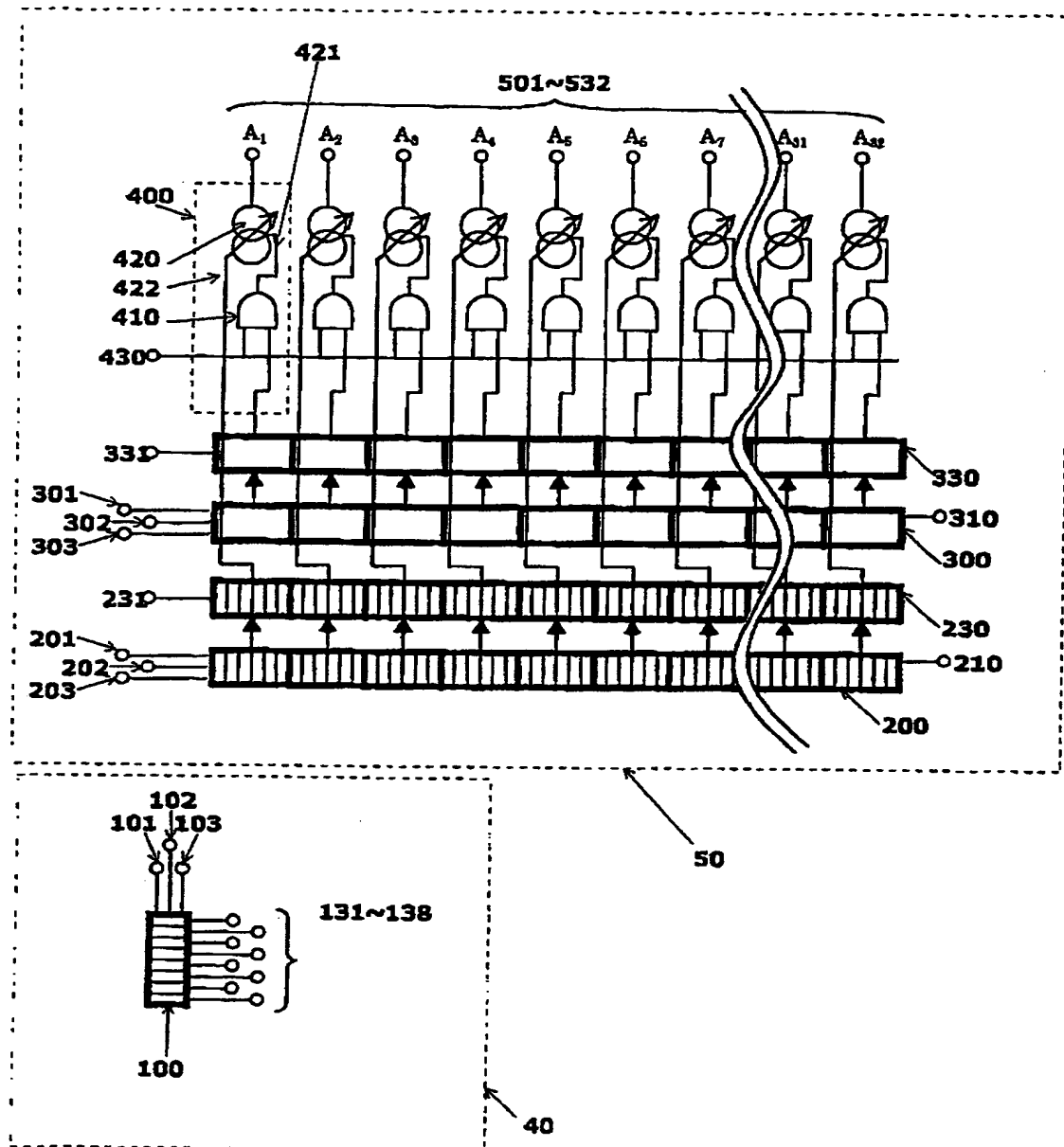


【図 7】

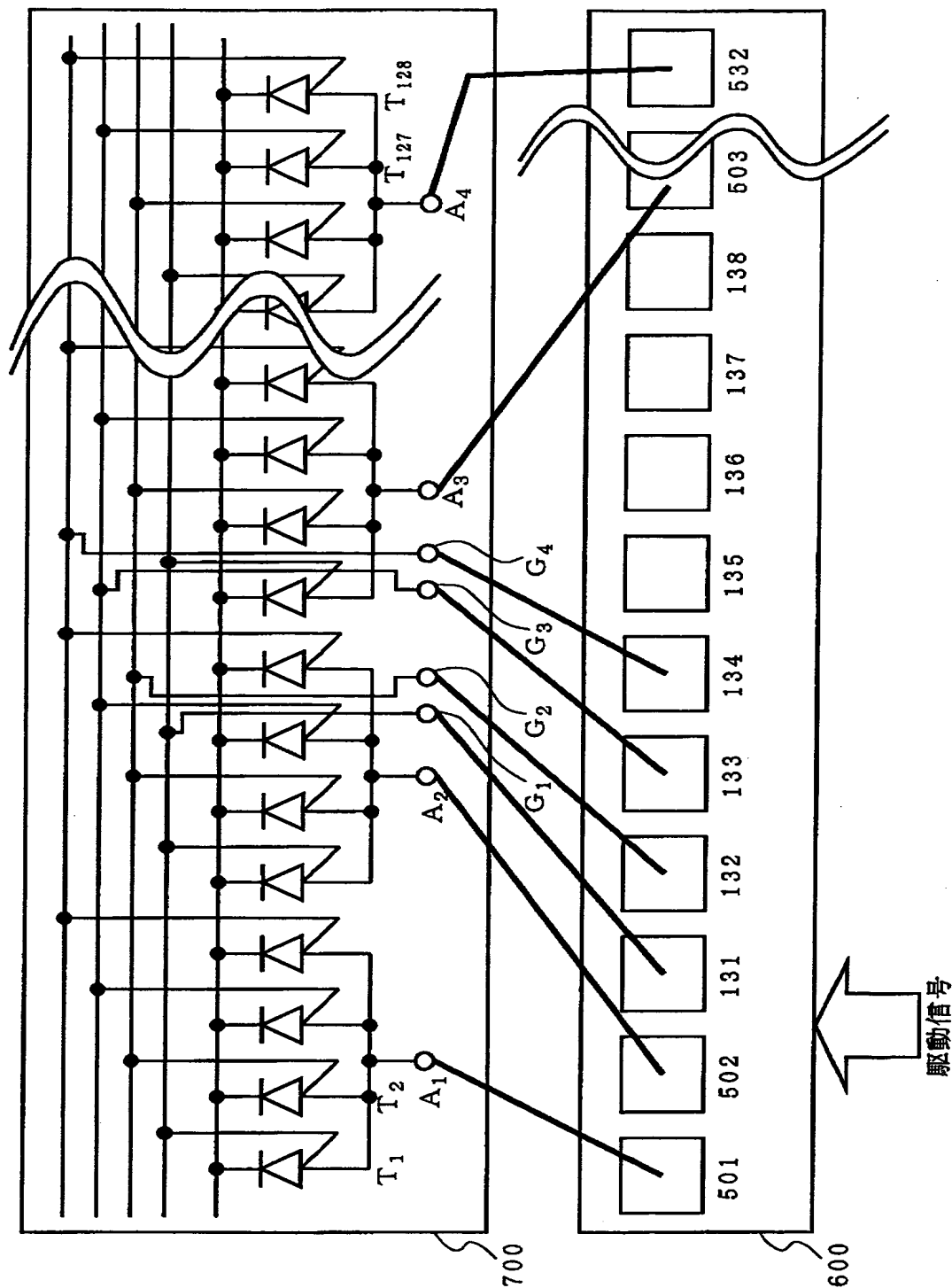
ゲート配線数とチップ幅



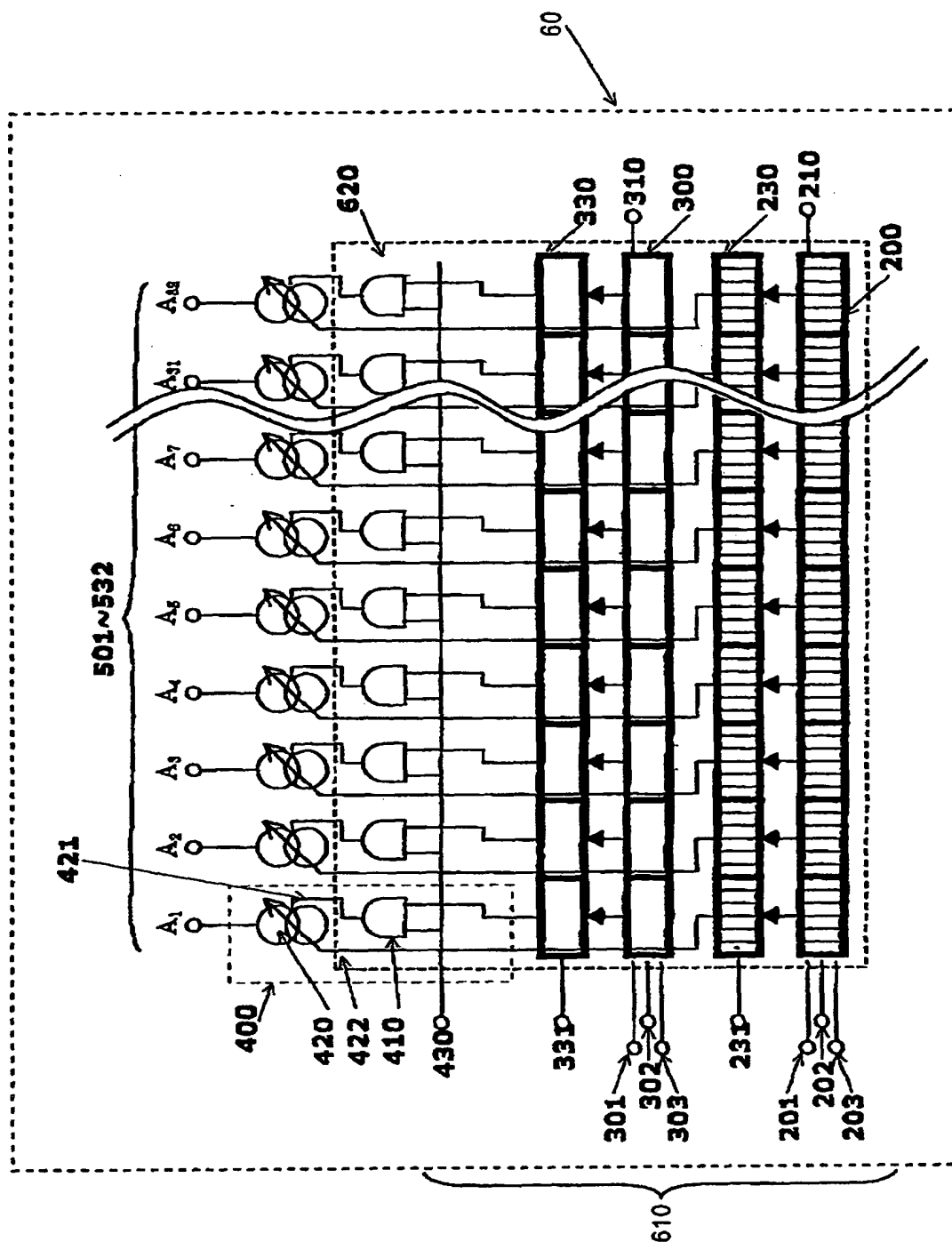
【図 8】



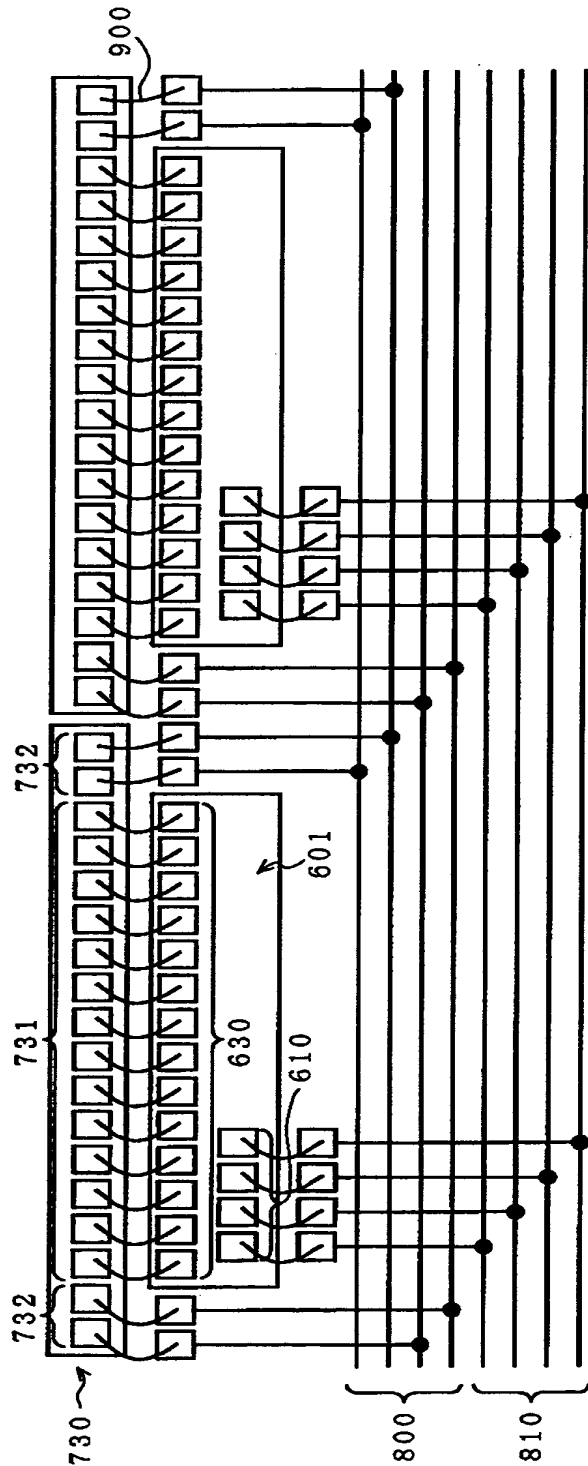
【図9】



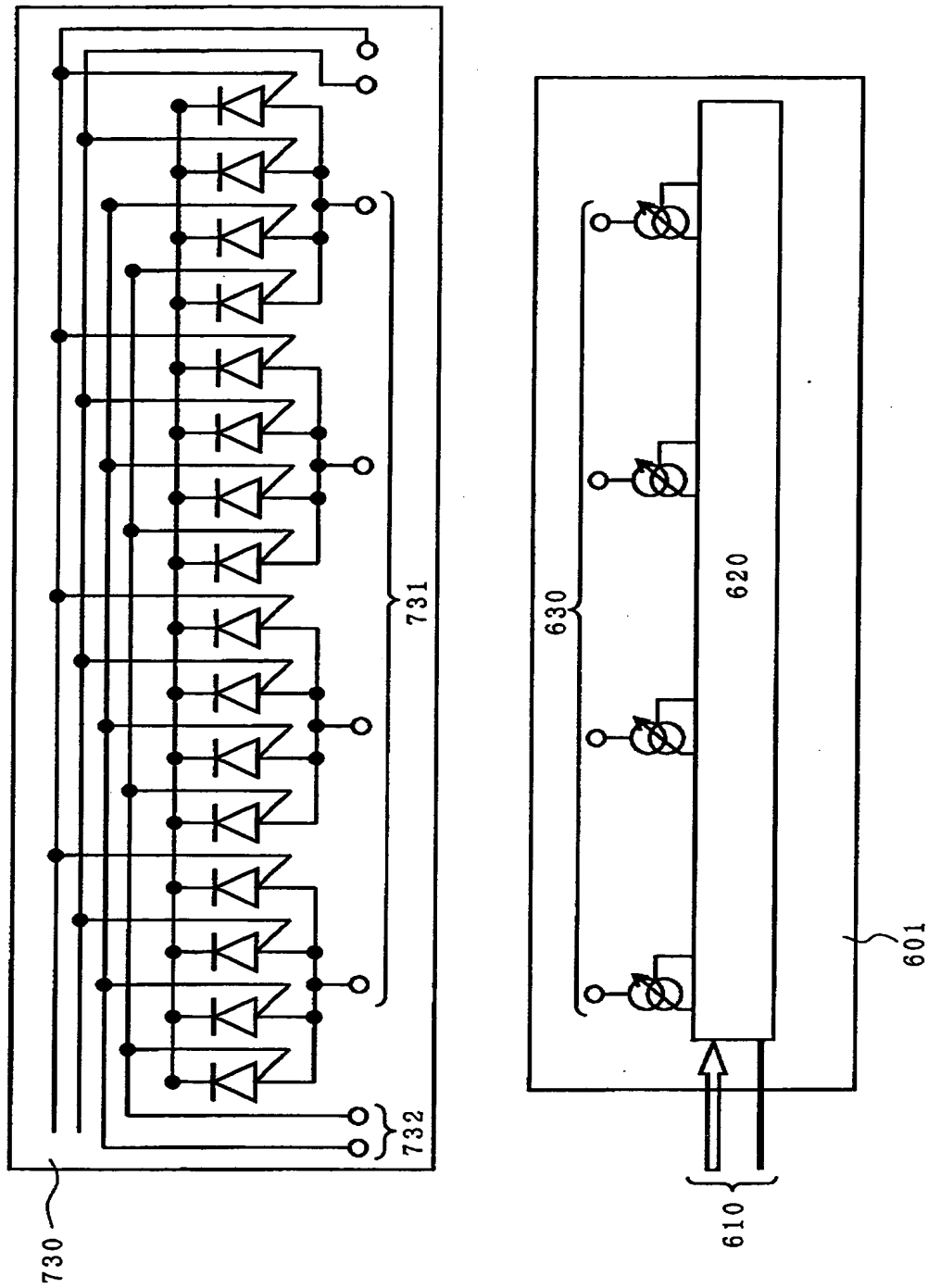
【図 10】



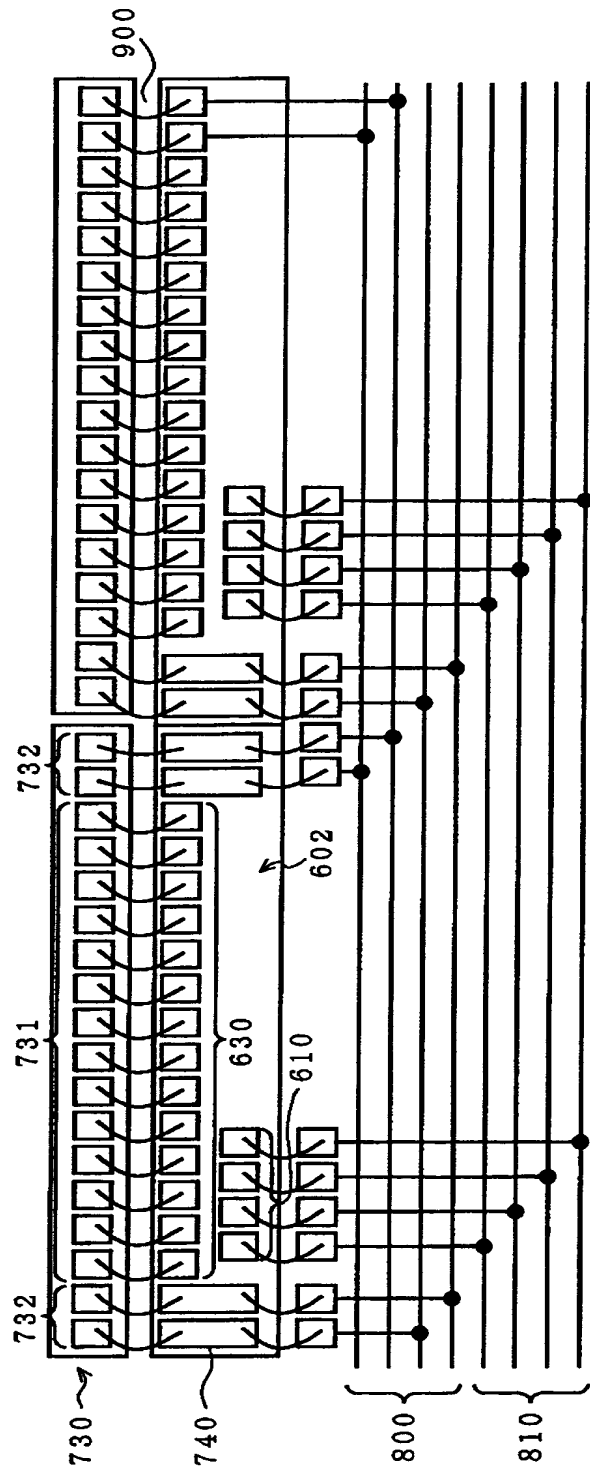
【図 1 1】



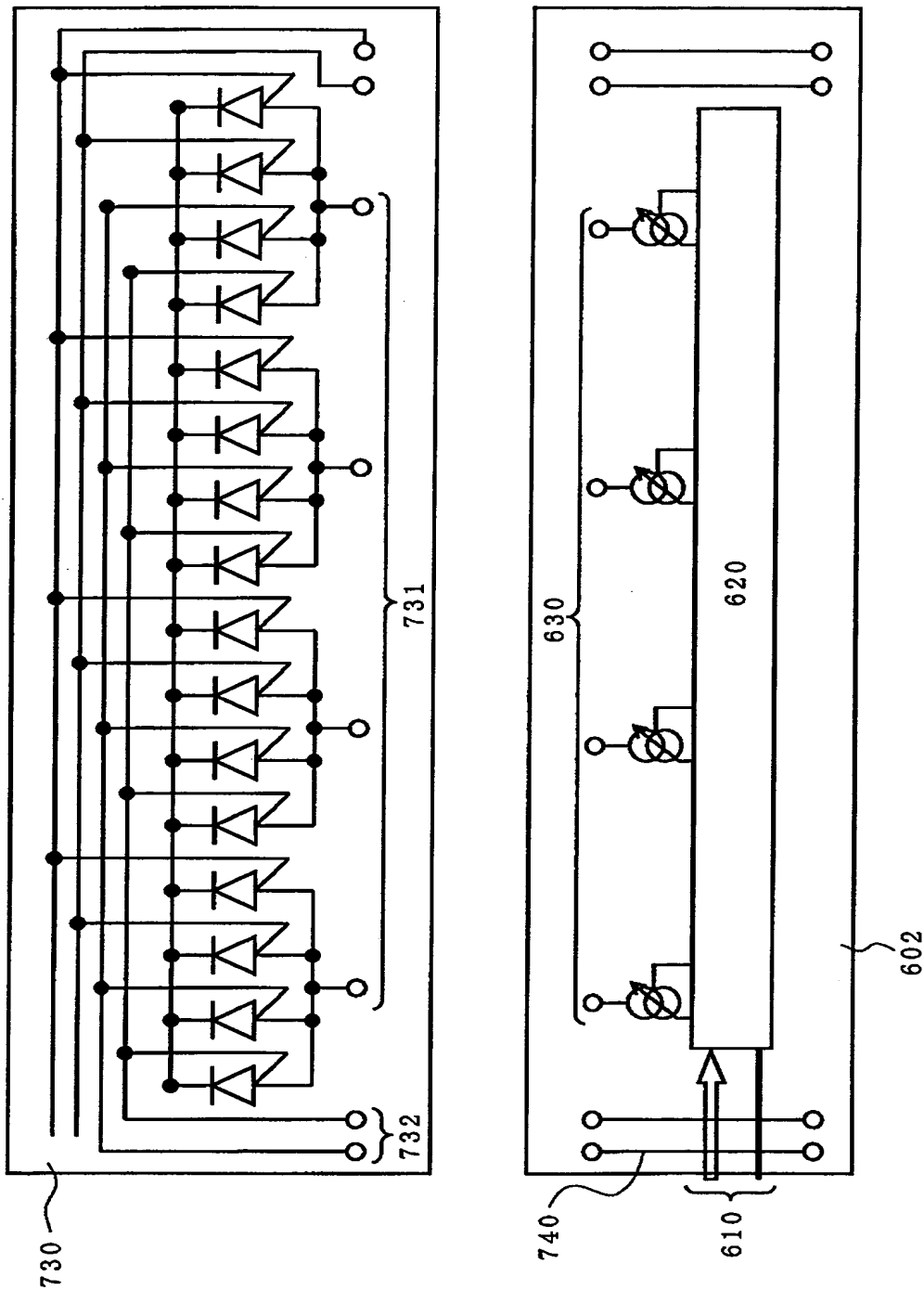
【図 12】



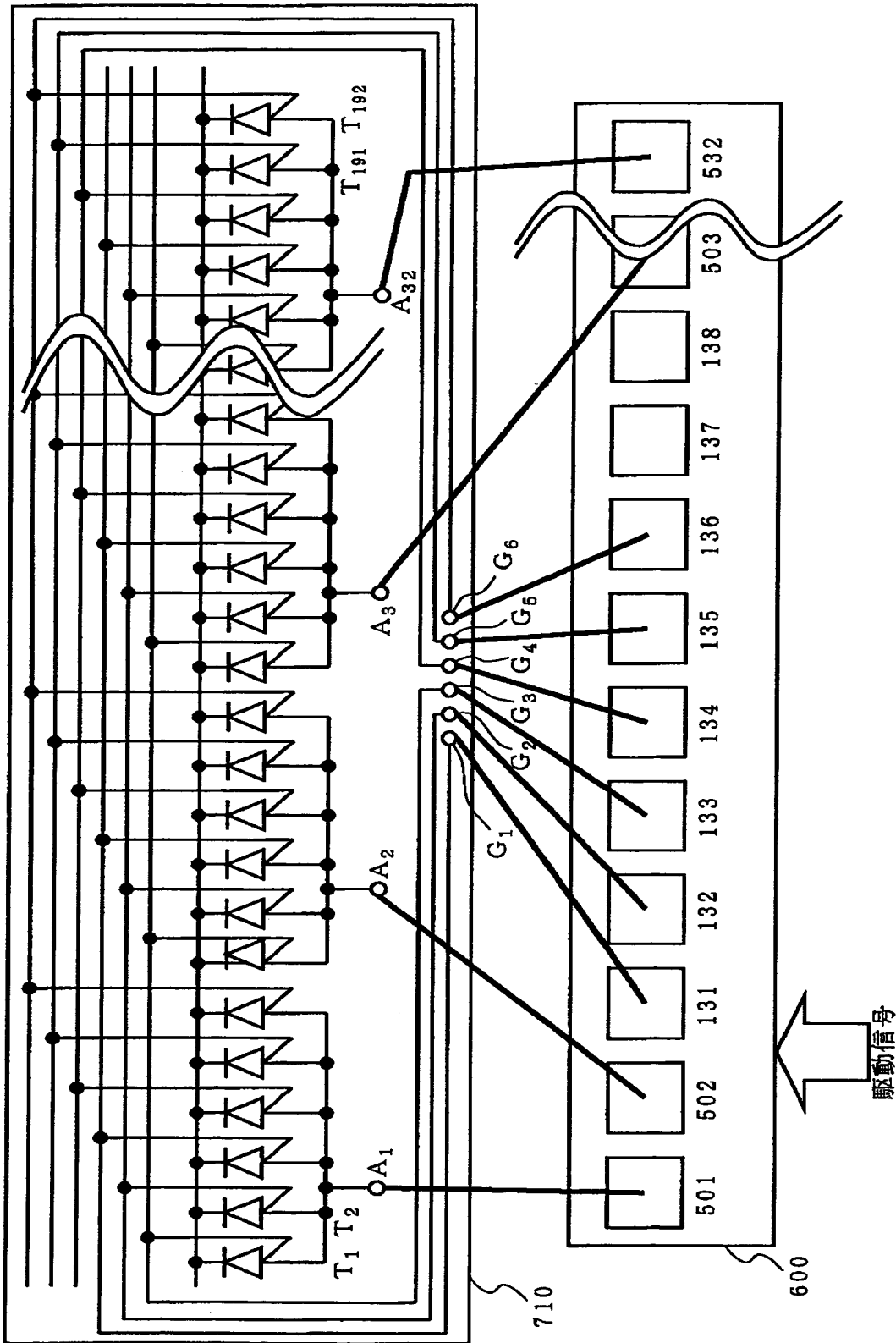
【図 1 3】



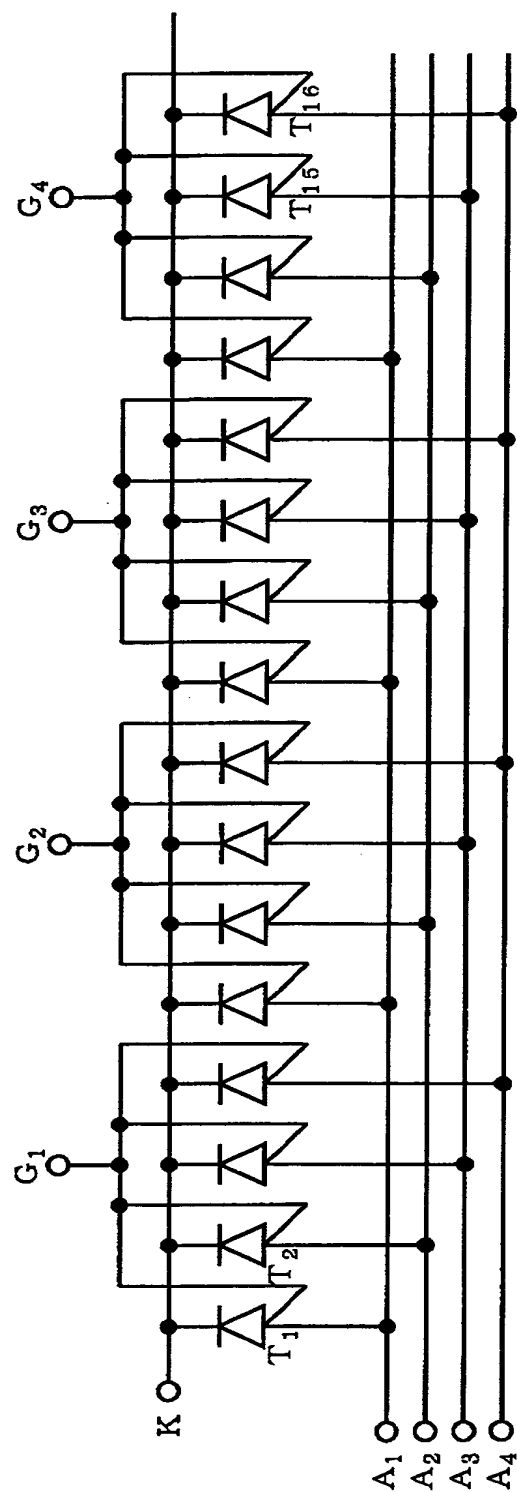
【図 14】



【図15】



【図 17】



【書類名】 要約書

【要約】

【課題】 ボンディングパッドをチップの長辺と平行に一行に配列させることにより、3端子発光サイリスタアレイのチップの短辺長を小さくし、チップ面積の小さな発光サイリスタチップを提供する。

【解決手段】 発光サイリスタアレイのチップの長辺に平行にボンディングパッド10を配列する。これにより、チップ面積を最小にすることができる。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000004008]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 大阪府大阪市中央区道修町3丁目5番11号
氏 名 日本板硝子株式会社
2. 変更年月日 2000年12月14日
[変更理由] 住所変更
住 所 大阪府大阪市中央区北浜四丁目7番28号
氏 名 日本板硝子株式会社

